

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年4月20日 (20.04.2006)

PCT

(10) 国際公開番号
WO 2006/040798 A1

- (51) 国際特許分類⁷: G06F 12/14
- (21) 国際出願番号: PCT/JP2004/014939
- (22) 国際出願日: 2004年10月8日 (08.10.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大柴 雅史 (OSHIBA, Masashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 岸 洋司 (KISHI, Hiroshi) [JP/JP]; 〒1006334

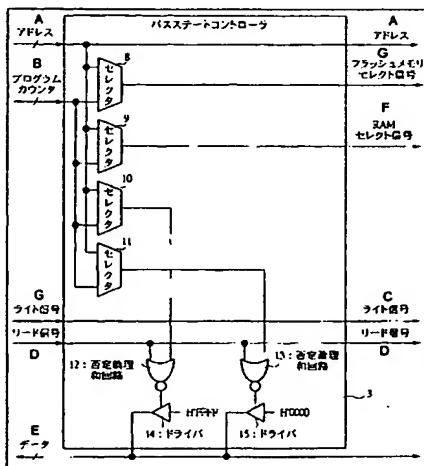
- 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 佐藤 芳彰 (SATO, Yoshiaki) [JP/JP]; 〒0668511 北海道千歳市泉沢1007番地39株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 山木 陽子 (YAMAKI, Yoko) [JP/JP]; 〒0668511 北海道千歳市泉沢1007番地39株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP). 山川 健太郎 (YAMAKAWA, Kentaro) [JP/JP]; 〒0668511 北海道千歳市泉沢1007番地39株式会社ルネサス北日本セミコンダクタ内 Hokkaido (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600023 東京都新宿区西新宿8丁目1番1号アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ELECTRONIC SYSTEM

(54) 発明の名称: 半導体集積回路装置および電子システム



A.. ADDRESS
B.. PROGRAM COUNTER
C.. WRITE SIGNAL
D.. READ SIGNAL
E.. DATA
3.. BUS STATE CONTROLLER
8.. SELECTOR
9.. SELECTOR
10.. SELECTOR
11.. SELECTOR
12.. NEGATIVE OR CIRCUIT
13.. NEGATIVE OR CIRCUIT
14.. DRIVER
15.. DRIVER
F.. RAM SELECT SIGNAL
G.. FLASH MEMORY SELECT SIGNAL

(57) Abstract: A flash memory includes a protect area (PA) where reading of specified blocks is inhibited, while a RAM, which is used as a work area of a program, also includes a protect area (PA1) where reading of specified blocks is inhibited. A bus state controller (3) compares the value of a program counter with the value of an address signal to inhibit reading from the areas other than the protect area (PA) for the flash memory and to control the data of the protect area (PA1) for the RAM such that reading from the protect area (PA) in the flash memory is inhibited. For example, if a user is to read the data of the protect area (PA) from an accessible user access area, meaningless data, such as H'FFFF or the like, is outputted from the bus state controller (3) via a data bus.

(57) 要約: フラッシュメモリには、特定のブロックの読み出しが禁止されるプロテクトエリアPAが設けられ、プログラムのワークエリアとして用いられるRAMには、同じく特定のブロックの読み出しが禁止されるプロテクトエリアPA1が設けられている。バスステートコントローラ3は、プログラムカウンタの値とアドレス信号の値とを比較して、フラッシュメモリではプロテクトエリアPA以外の読み出しを禁止し、RAMでは、プロテクトエリアPA1のデータをフラッシュメモリのプロテクトエリアPAからの読み出し以外を禁止するように制御する。たとえば、ユーザがアクセス可能なユーザアクセスエリアからプロテクトエリアPAのデータを読み出す場合には、バスステートコントローラ3から、H' FFFFなどの無意味なデータがデータバスを介して出力される。

WO 2006/040798 A1



LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。